

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-368096
(P2002-368096A)

(43) 公開日 平成14年12月20日 (2002. 12. 20)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 21/82		H 0 1 L 21/82	F 5 F 0 6 4
G 1 1 C 11/401		G 1 1 C 11/34	3 7 1 D 5 F 0 8 3
H 0 1 L 21/8242			3 7 1 K 5 M 0 2 4
27/108		H 0 1 L 27/10	6 2 5 A
			6 8 1 F
審査請求 未請求 請求項の数 8 O L (全 9 頁)			

(21) 出願番号 特願2001-177313(P2001-177313)

(22) 出願日 平成13年6月12日 (2001. 6. 12)

(71) 出願人 000003078

株式会社東芝
東京都港区芝浦一丁目1番1号

(72) 発明者 生田 裕秋

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72) 発明者 富岡 和彦

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

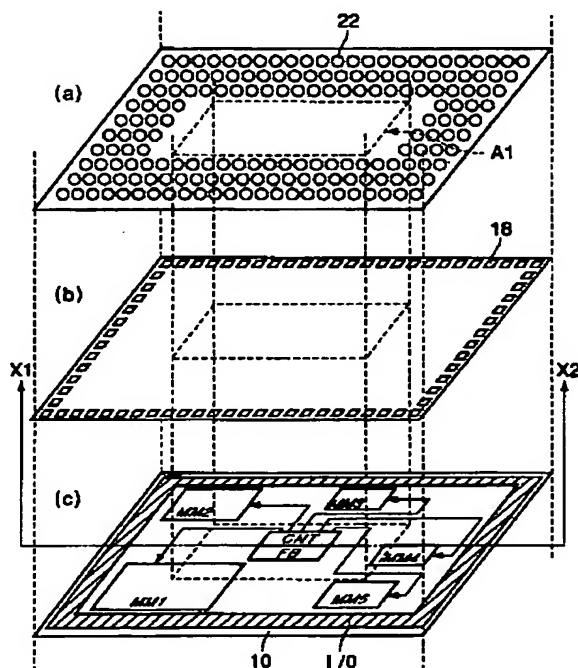
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 リダンダンシにおける救済効率及びその信頼性を向上できる半導体装置を提供すること。

【解決手段】 半導体基板10上に設けられた複数のメモリマクロMM1～MM5と、半導体基板10上に設けられ、メモリマクロMM1～MM5を被覆する保護層15、16、17、20と、この保護層15、16、17、20上に、保護層縁部に沿って複数列設けられ、メモリマクロMM1～MM5と外部回路との間の信号の授受を行うパンプ22と、保護層20上における空き領域A1直下の層間絶縁膜17上に設けられ、前記メモリマクロMM1～MM5のリダンダンシに共通に用いられる複数のフューズ素子を有するフューズブロックFBとを具備することを特徴としている。



1

【特許請求の範囲】

【請求項1】 半導体基板上に設けられ、複数のメモリセルを各々有する複数のメモリマクロと、前記半導体基板上に設けられ、前記メモリマクロを被覆する保護層と、前記保護層の表面上に、前記保護層表面の縁部に沿って且つ複数列設けられ、前記メモリマクロと外部回路との間の信号の授受を行う入出力端子と、前記保護層表面上であって、前記入出力端子に取り囲まれ、前記入出力端子の存在しない空き領域上、または前記空き領域直下の前記保護層内に設けられ、2つ以上の前記メモリマクロ内において不良となった前記メモリセルを救済するために用いられる複数のフューズ素子を有するフューズブロックとを具備することを特徴とする半導体装置。

【請求項2】 半導体基板上に設けられ、複数のメモリセルを各々有する複数のメモリマクロと、前記半導体基板縁部から3.5mm以上離隔した前記半導体基板上に設けられ、2つ以上の前記メモリマクロ内において不良となった前記メモリセルを救済するために用いられる複数のフューズ素子を有するフューズブロックとを具備することを特徴とする半導体装置。

【請求項3】 前記半導体基板上に設けられ、前記メモリマクロを被覆する保護層と、前記半導体基板上において、前記半導体基板縁部から3.5mm以内の領域上に位置する前記保護層の表面上に設けられ、前記メモリマクロと外部回路との間の信号の授受を行う入出力端子とを更に備えることを特徴とする請求項2記載の半導体装置。

【請求項4】 前記フューズブロックは、前記半導体基板面の略中央部に設けられていることを特徴とする請求項1または2記載の半導体装置。

【請求項5】 前記保護層は、複数の絶縁膜が積層された多層構造を有しており、前記入出力端子は、前記多層構造における最上層の絶縁膜上に設けられ、前記フューズブロック内のフューズ素子は、前記最上層の絶縁膜より下層の絶縁膜上に設けられ、前記最上層の絶縁膜の表面から前記フューズ素子に達する開孔によって露出されていることを特徴とする請求項1または3記載の半導体装置。

【請求項6】 前記半導体基板上の縁部に、前記メモリマクロを取り囲むようにして設けられ、前記メモリマクロと外部との間で授受の行われる信号に用いられる複数の入出力パッドを有する入出力回路と、前記保護層内において、前記入出力回路と前記入出力端子との間に電気的に介在するようにして設けられた入出力パッドとを更に備えることを特徴とする請求項1または3記載の半導体装置。

【請求項7】 前記メモリマクロのいずれかは、トレン

2

チ型のセルキャパシタを有するDRAMマクロであることを特徴とする請求項1または2記載の半導体装置。

【請求項8】 前記半導体基板上に設けられ、2つ以上の前記メモリマクロ内において不良となった前記メモリセルを救済するために用いられるスペアセルアレイ及び制御回路を更に備え、

前記スペアセルアレイは、不良となった前記メモリセルを置き換える為の複数のスペアセルを含み、

前記制御回路は、入力アドレスと前記フューズ素子に書き込まれた不良アドレスとの一致または不一致を判定して、一致した場合に、前記不良アドレスに対応する前記メモリセルの前記スペアセルへの置き換えを指令することを特徴とする請求項1または2記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に関するもので、特に複数のメモリマクロを備える半導体装置において、リダンダンシに用いるフューズ素子の配置に関するものである。

【0002】

【従来の技術】近年、特に半導体メモリにおいては、微細化・集積化が急速に進展している。この集積度の向上に伴って、製造歩留まりの維持が困難になってきている。そこで、製造歩留まりを維持する為の技術としてリダンダンシ技術が広く用いられている。リダンダンシ技術は、メモリセルに不良が発生した場合に、その不良箇所に対応したフューズ素子を切断することにより、不良セルをスペアセルと置き換えて、メモリセルを救済するものである。

【0003】上記のようなリダンダンシ技術を用いた半導体メモリを複数搭載する半導体装置について図8を用いて説明する。

【0004】図8は半導体装置の概略構成を示すブロック図である。図示するように、半導体装置(LSI)100は同一の半導体基板上に形成された複数のメモリマクロMM10～MM50を有している。「マクロ」とは、それ単体である一定の機能を果たすために構成された、複数の素子の集合体となる機能ブロックのことである。そして、これらがチップ内配線によって互いに接続され、協働している。

【0005】各メモリマクロMM10～MM50は、メモリとして機能するメモリブロック110の他に、リダンダンシに用いられるフューズ素子が複数形成されたフューズブロック120及び制御回路130を、各々のマクロ内に有している。そして、メモリマクロMM10～MM50内に含まれるメモリセルの救済措置は、各々のメモリマクロMM10～MM50内に含まれるフューズ素子及び制御回路によって行われる。

【0006】

【発明が解決しようとする課題】このように、個々のメ

3

モリマクロ毎にフューズ素子及び制御回路を設ける構造であると、異なるマクロ間でのスペアセルの共用が出来ないため、救済効率が悪い(1)。また、実質的に同一構造の制御回路をマクロ毎にいちいち設けなければならず、面積効率が悪い(2)。更に、フューズ素子はレーザブローによって書き込みが行われるため、フューズブロック上の領域は、パンプの形成禁止領域となる。図8のような構成であると、フューズブロック、すなわちパンプの形成禁止領域A10~A50が半導体基板面内にランダムに点在するため、パンプ配置に大きな制約を受ける(3)、という問題があった。

【0007】そこで、上記問題を解決するために、図9に示すような構成が提案されている。図9は複数のメモリマクロを有する半導体装置の概略構成を示すブロック図である。本構造は、各メモリマクロMM60~MM80からフューズ素子及び制御回路を分離して、フューズ素子及び制御回路を各メモリマクロMM60~MM80に共通に使用するものである。

【0008】図示するように、フューズ素子を複数含むフューズブロック140及び制御回路150を設けている。そして、フューズブロック140及び制御回路150を、各メモリマクロMM60~MM80に設けられたシフトレジスタ160にシリアルに配線している。

【0009】この構成によれば、フューズブロック140内のフューズ素子及び制御回路150内を、各マクロMM60~MM80に共通に使用しているため、上記(1)、(2)の問題を解決できる。しかし、パンプ配置に関しては、フューズブロック140が設けられている半導体基板角部を避けて行わなければならない、上記(3)の問題は依然として残っている。また、半導体基板の角部は特に応力の集中しやすい箇所であるため、フューズブロックに強度のストレスがかかり、フューズ素子の信頼性に欠ける(4)、更に、フューズと各マクロ間の配線距離がまちまちであるため、配線で生ずる遅延時間及び抵抗がマクロ毎にバラバラであり、電気的特性が悪化する(5)、という新たな問題が発生する恐れがある。

【0010】この発明は、上記事情に鑑みてなされたもので、その目的は、リダンダンシにおける救済効率及びその信頼性を向上できる半導体装置を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するために、この発明に係る半導体装置は、半導体基板上に設けられ、複数のメモリセルを各々有する複数のメモリマクロと、前記半導体基板上に設けられ、前記メモリマクロを被覆する保護層と、前記保護層の表面上に、前記保護層表面の縁部に沿って且つ複数列設けられ、前記メモリマクロと外部回路との間の信号の授受を行う入出力端子と、前記保護層表面上であって、前記入出力端子に取り

4

囲まれ、前記入出力端子の存在しない空き領域上、または前記空き領域直下の前記保護層内に設けられ、2つ以上の前記メモリマクロ内において不良となった前記メモリセルを救済するために用いられる複数のフューズ素子を有するフューズブロックとを具備することを特徴としている。

【0012】また、この発明に係る半導体装置は、半導体基板上に設けられ、複数のメモリセルを各々有する複数のメモリマクロと、前記半導体基板縁部から3.5mm以上離隔した前記半導体基板上に設けられ、2つ以上の前記メモリマクロ内において不良となった前記メモリセルを救済するために用いられる複数のフューズ素子を有するフューズブロックとを具備することを特徴としている。

【0013】上記のような構成を有する半導体装置であると、複数のメモリマクロ間でフューズを共用しているために、救済効率及び面積効率を向上できる。また、フューズ素子は複数のメモリマクロ毎に纏まって存在し、且つそれは半導体基板の略中央部にあるため、パンプ配置に対する制約が緩和出来る。更に、半導体基板の略中央部は応力の集中し難い場所でもあるため、フューズ素子に強度のストレスがかかることを防止出来る。また、フューズ素子が半導体基板面内の略中央部に存在するため、フューズ素子と各メモリマクロとの間の各々の配線距離が均等化される。従って、遅延時間や抵抗等、配線における寄生素子により受ける影響がメモリマクロ毎にほぼ同一であり、電気的特性を向上出来る。

【0014】その結果、半導体装置におけるリダンダンシの救済効率及び信頼性を向上出来る。

【0015】

【発明の実施の形態】以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0016】この発明の一実施形態に係る半導体装置について図1(a)乃至(c)及び図2を用いて説明する。図1(a)乃至(c)は、本実施形態に係る半導体装置を構成する各要素のレイアウトを示す図であり、(a)図はメモリマクロ、フューズブロック、制御回路、及び入出力回路ブロックのレイアウト、(b)図は入出力パッドのレイアウト、(c)図はパンプのレイアウトを示している。

【0017】また、図2は図1(a)乃至(c)におけるX1-X2線に沿った断面図である。

【0018】図示するように、半導体基板10内には素子分離領域11が設けられている。また、半導体基板10上に設けられたゲート絶縁膜12、ゲート電極13、及び半導体基板10表面内に設けられた不純物拡散層14によってMOSトランジスタが形成されている。

【0019】これらのMOSトランジスタや図示せぬキャパシタ素子等によって、半導体基板10には複数のメ

5

メモリマクロMM1～MM5、フューズブロックFB、制御回路CNT、及び入出力回路ブロックI/Oが形成されている。

【0020】フューズブロックFBは、メモリマクロMM1～MM5のリダンダンシに用いられる複数のフューズ素子を有しており、メモリマクロMM1～MM5内に含まれる不良セルのアドレス（不良アドレス）が書き込まれている。

【0021】制御回路CNTは、メモリマクロMM1～MM5のリダンダンシに用いられ、メモリセルへのアクセスの際に当該メモリセルのアドレス信号が入力される。そして、この入力アドレスとフューズ素子に書き込まれている不良アドレスとを比較し、一致した場合にはスペアセルのワード線またはビット線を選択する。

【0022】これらフューズブロックFB内のフューズ素子、及び制御回路CNTは、各メモリマクロMM1～MM5に共通に使用される。

【0023】なお、「リダンダンシ（redundancy）」とは、本来「冗長」との意味を有するのみである。しかし、この冗長セル（スペアセル）で不良セルを置き換え²⁰る技術が一般化するに従って、本技術そのものが「リダンダンシ技術」と呼ばれるようになってきた。そこで、本明細書において使用する「リダンダンシ」との文言も、この「冗長セルによる不良セルの救済措置」のことを一貫して意味するものとする。

【0024】入出力回路ブロックI/Oは、入出力バッファ等の入出力回路を含んでいる。そして、この入出力回路を介して、メモリマクロMM1～MM5と外部との間における信号の授受が行われる。

【0025】メモリマクロMM1～MM5については後³⁰述する。

【0026】そして、上記MOSトランジスタ等を被覆するようにして、半導体基板10上には保護層が設けられている。保護層は、例えば層間絶縁膜15、16、17、及び樹脂20といった、複数の絶縁膜が積層された多層構造を有している。層間絶縁膜15、16、17内には、半導体基板10上に形成された半導体素子（上記MOSトランジスタ等）を電氣的に接続する多層金属配線19が形成されている。また、層間絶縁膜16上には、フューズブロックFB内のフューズ素子となる金属⁴⁰配線層23が設けられている。更に、層間絶縁膜17上に形成されている金属配線層18は、金属配線層19によって入出力回路ブロックI/Oと接続されており、場合によっては入出力パッドとしても機能するものである。この入出力パッド18は、層間絶縁膜17上の縁部に沿って設けられている。更に、層間絶縁膜17上には樹脂20が設けられている。そして開孔28が、樹脂20の表面から層間絶縁膜17の途中の膜厚に達するようにして設けられている。この開孔28は、フューズ素子23の直上に位置するようにして設けられており、開孔⁵⁰

6

28の設けられた領域がレーザブロー箇所となる。すなわち、開孔28内に照射されたレーザによって、開孔28直下に位置するフューズ素子23への書き込みが行われる。

【0027】また、樹脂20内には入出力パッド18と一体成形された金属配線層によって、入出力パッド18と電氣的に接続された金属プラグ21が設けられ、この金属プラグ21上にバンプ22（入出力端子）が設けられている。バンプ22は、樹脂20上において、縁部に沿って複数列形成されており、樹脂20面の中央部はバンプ22が形成されない空き領域A1となっている。なおフューズ素子23は、このバンプ22が形成されない空き領域A1直下の領域の層間絶縁膜17上に設けられていることが重要である。なぜなら、フューズ素子23上にバンプ22が存在していると、フューズ素子23のレーザブローが出来なくなってしまうからである。

【0028】なお、本願ではフューズ素子23が層間絶縁膜16上に形成されている場合を例に挙げているが、この際には、同一層間絶縁膜16上の金属配線層19と同一金属配線によって形成されるのが通常である。また、フューズ素子23が更に下層の層間絶縁膜（図2における層間絶縁膜15）上に設けられていても良い。更にフューズ素子23は、層間絶縁膜17上、または樹脂20上（空き領域A1上）に設けられていても良い。なお、開孔28は、フューズ素子23にレーザ光を照射するために必要なものであって、必ずしも層間絶縁膜17内にその底部を有している必要はないし、開孔28内にフューズ素子23が露出されていても構わない。すなわち、レーザブローの観点からは、フューズ素子がどのレベルの層間絶縁膜上に設けられているか、といったことや、フューズ素子上における部材の有無などは問題ではない。レーザブローに十分な強度のレーザ光をフューズ素子23に照射できる構造であるか否か、またその前提として、フューズ素子23上にバンプが存在していないかどうか、ということが重要なのである。

【0029】上記のようにして、複数のメモリマクロを有する半導体装置が形成されている。

【0030】なお、上記メモリマクロMM1～MM5のいずれかは例えばDRAMマクロである。図3はDRAMマクロのブロック図である。

【0031】図示するようにDRAMマクロ30は、メモリセルアレイ31、カラムデコーダ32、ロウデコーダ33、ブリデコーダ34、センスアンプ35、入力回路36、入出力回路37を有している。

【0032】ブリデコーダ34は、入力回路36に入力されるアドレス信号と、書き込み時にはライトイネーブル信号とに基づいて、カラムデコーダ32、ロウデコーダ33のそれぞれにビット線、ワード線アドレスを与える。このアドレスに基づき、カラムデコーダ32及びロウデコーダ33は、メモリセルアレイ31のビット線及

7

びワード線を選択する。データの読み出し時には、選択したビット線にデータが出力され、このデータがセンスアンプ35で増幅されて、入出力回路37よりデータ信号として出力される。他方、データの書き込み時には、入出力回路37に入力されたデータ信号が、カラムデコーダ32とロウデコーダ33とによって選択されたメモリセルに書き込まれる。

【0033】つまり、「マクロ」とは、従来技術で触れたとおり、それ単体である一定の機能を果たすために構成された、複数の素子の集合体であって、当該機能は当該集合体で完結するものである。

【0034】なお、DRAMマクロ30自身は、リダグンシ用のフューズブロック及び制御回路を有しておらず、リダグンシの際には、フューズブロックFB内のフューズ素子及び制御回路CNTを使用する。このことはDRAMマクロの場合に限らず、全てのメモリマクロMM1～MM5に共通である。

【0035】図4は、上記DRAMマクロ30内のメモリセルアレイ31が備えるDRAMセルの断面図であり、セルキャパシタにトレンチ構造を採用したDRAMセルである。

【0036】図示するように、トレンチキャパシタTCは、半導体基板10内に設けられたトレンチ24、トレンチ24の側壁に設けられたキャパシタ絶縁膜25、トレンチ24を埋め込むストレージノード電極26、トレンチ24に接する半導体基板10内に設けられたプレート電極27とを有している。

【0037】そして、前述したMOSトランジスタと同一の構成を有するセルトランジスタCTの不純物拡散層（ソース領域）14と、トレンチキャパシタTCのストレージノード電極26とが接続されることによりDRAMセルが形成されている。

【0038】図5は、上記半導体装置（半導体チップ）を実装した半導体パッケージの断面図である。本半導体パッケージは、例えばインターポーザ上に上記半導体チップをフリップチップ実装したCSP（Chip Size Package）である。

【0039】図示するように、インターポーザ41上に、図1、図2に示す構造を有する半導体チップ40が半導体素子形成面を下にしてフリップチップ実装されている。そして、半導体チップ40表面に設けられたバンプ22によって、半導体チップ40はインターポーザ41上に電気的に接続されている。また、インターポーザ41裏面には外部接続端子としてのバンプ42が設けられており、このバンプ42とバンプ22とは、インターポーザ41中に設けられた再配線用の金属配線層43によって接続されている。

【0040】本実施形態に係る半導体装置は上記のような構成を有しているが、特に前述の通り、フューズ素子及び制御回路が各マクロ間で共通にされており（1）、

8

共通にされたフューズ素子及び制御回路は半導体基板の略中央部に位置し（2）、且つフューズ素子及び制御回路が位置する半導体基板の略中央部は、樹脂20面上においてバンプが設けられない空き領域A1の直下の領域である。（3）。そのため、次のような効果を得ることが出来る。

【0041】まず、各マクロ間でフューズ素子及び制御回路（及びスペアセル）を共用しているために、救済効率が高く（1）、面積効率に優れる（2）。

【0042】また、フューズ素子の共用によって、フューズ素子は複数のマクロ毎に纏まって存在し、且つそれは前述の通りバンプが設けられない空き領域A1上、または空き領域A1直下の領域（半導体基板面内における略中央部）にあるため、バンプ配置に対する制約が大幅に緩和される（3）。

【0043】更に、フューズ素子が位置する半導体基板の略中央部は応力の集中し難い場所でもあるため、フューズ素子に強度のストレスがかかることを防止し、フューズ素子、ひいてはリダグンシの信頼性が向上される（4）。

【0044】更に、フューズブロックが半導体基板面内の略中央部に存在するため、フューズ素子と各マクロとの間の各々の配線距離が均等化される。従って、遅延時間や抵抗等、配線における寄生素子により受ける影響がマクロ毎にほぼ同一であり、電気的特性が向上する（5）。

【0045】更に、フューズ素子が複数のマクロ毎に纏まっているため、レーザブローの際にレーザの移動距離が少なく済む。従来技術であると、レーザブローの際に照射するレーザは、半導体基板面内においてランダムに存在する複数のフューズブロックに従って非常に長い移動距離を移動する必要があった。しかし本実施形態ではフューズ素子が1箇所に集まっているために、レーザの移動距離を短縮でき、その結果、レーザブローのスループットを向上（ブロー時間を短縮）できる（6）、という効果が得られる。

【0046】ここで、上記（3）の効果について詳細に説明する。

【0047】前述の通り、バンプ22は層間絶縁膜17の縁部に沿って設けられた入出力パッドに接続されている。そしてバンプ22とは、入出力パッド18の位置を金属配線によって再配置したものでもある。従って、寄生素子の影響を考えた場合、再配置用の金属配線の距離は短いほど好ましい。この観点からバンプを配置すべき位置を考えると、その位置は当然、入出力パッドに近接した位置となる。その結果、バンプは樹脂20上において、その縁部に沿って順次配置していくのが理想的である（図1（a）参照）。なぜなら、入出力回路I/Oに接続される入出力パッドは、そのパッド数を稼ぐために、半導体基板面内における縁部に沿って配置されるか

らである。

【0048】すると、このようなパッドの配置法の下において、従来技術で説明した図9の構造は、バンプ形成の点で非効率であることが分かる。なぜなら、図9の構造であると、入出力パッドが形成される領域を含み、まさにバンプ形成に都合の良い場所と言える半導体基板面内における角部の領域が、バンプの形成禁止領域になってしまうからである。また、当然に、この領域に配置できなかった分は、半導体面内における中央部寄りに設けなければならない。その結果、再配置用の金属配線が

長くなる。
【0049】しかし、本実施形態によれば、フューズブロックFBを半導体基板面内（樹脂20上）において、略中央部に配置（図1（c）参照）することで、理想的なバンプ配置を実現している。なぜなら、樹脂20上においてバンプ22を縁部に沿って、且つ樹脂20面の中心を取り囲むようにして順次配置していけば、当然に中央部がバンプの空き領域になるからである（図1（a）参照）。すなわち、最適なバンプ配置を行うことにより、フューズブロックFB上にバンプ22が存在しない

ようにすることが出来るのである。
【0050】なお、上記バンプ22の形成領域の点について、図6を用いて説明する。図6は半導体装置の上面図であり、バンプ22の配置パターンを示している。

【0051】図示するようにバンプ22は、半導体チップ上面における縁部から内部に向かって、その中心を取り囲むようにして順次配置されており、中央部が空き領域A1となっている。例えば、チップの一边の長さが10～20mm、パッド数が700～2000個、メモリマクロ数が1～50個、バンプ径が80～100μm程度である場合には、バンプは3～4列程度の配置となり、バンプの存在する領域は、半導体チップ上面において、縁部から1～3.5mm程度になる。つまり、縁部から1～3.5mm以上離れた領域にフューズブロックを配置させることが必要である。勿論、バンプの数は当該半導体チップの設計によって様々であるが、具体的には、例えばチップの一边の長さが10mmでパッド数が700個の場合には、縁部から1.5mm程度、チップの一边の長さが20mmでパッド数が2000個の場合には2mm程度、チップの一边の長さが10mmでパッド数が2000個の場合には3.5mm程度、チップの一边の長さが20mmでパッド数が700個の場合には1mm程度の領域が、バンプの形成領域となる。

【0052】但し、本願のポイントは上記数値そのものではない。要するに、半導体チップ上面において、バンプを縁部から中央部に向かって順次配置した結果、空き領域となった領域内に、フューズブロックを配置することが重要なのである。よって、フューズブロックは必ずしも唯1つに纏める必要もない。幾つかのマクロに共有されるフューズブロックを幾つか有していても良い。勿

論、この場合にも全てのフューズブロックが、バンプの空き領域内に存在することが必要である。

【0053】なお、上記実施形態ではフューズ素子と制御回路とを、各マクロ共通にすることのみ説明してきたが、勿論スペアセルについても共通にし、且つスペアセルブロックとして1箇所に纏めても良い。

【0054】また、上記実施形態ではCSPを例に挙げて説明したが、本発明はパッケージングの種類によってなんらかの限定を受けるものでない。図7は、リードフレームを用いたプラスチックパッケージの断面図である。

【0055】図示するように、半導体チップ40がリードフレーム50のダイパッド51上に搭載されている。半導体チップ40の入出力パッド18は、リードフレーム50のインナーリード52にワイヤボンディングされている。そして、インナーリード52はアウターリード53に接続されており、半導体チップ40、ボンディングワイヤ54、ダイパッド51、及びインナーリード52を被覆するようにして封止樹脂55が設けられている。

【0056】このように、ワイヤボンディングされる半導体チップについても本願は適用できる。また、TAB（Tape Automated Bonding）を利用したパッケージや、MCM（Multi Chip Module）に適用できるのも言うまでもない。

【0057】なお、上記実施形態では、図1（a）乃至（c）及び図2に示すように、バンプ22によって外部と接続を行うにもかかわらず、入出力パッドとなる金属配線層18を設けている。これは、図7に示すようなワイヤボンディングされる場合にも対応するためである。ワイヤボンディングによってパッケージングされる製品の場合には、入出力パッド18を被覆する樹脂20やバンプ22を形成する必要はなく、入出力パッド18を形成した時点でウェハー工程が終了することになる。これに対して本実施形態のようにバンプを設ける構成であると、金属配線層18は実質的には入出力パッドではなく、単なる内部配線として機能するものである。

【0058】このように、本発明によれば、救済効率、面積効率、信頼性に優れ、且つバンプ配置に対する制約が小さい半導体装置が実現できる。

【0059】なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出さ

11

12

れうる。

【0060】

【発明の効果】以上説明したように、この発明によれば、リダグダンシにおける救済効率及びその信頼性を向上できる半導体装置を提供できる。

【図面の簡単な説明】

【図1】この発明の一実施形態に係る半導体装置の含む各要素のレイアウトを示す図であり、(a)図はメモリマクロ、フューズブロック、制御回路、及び入出力回路ブロックのレイアウト、(b)図は入出力パッドのレイ

アウト、(c)図はバンプのレイアウトを示している。

【図2】図1におけるX1-X2線に沿った断面図。

【図3】この発明の一実施形態に係る半導体装置に形成されるDRAMマクロのブロック図。

【図4】この発明の一実施形態に係る半導体装置に形成されるDRAMマクロが含むDRAMセルの断面図。

【図5】この発明の一実施形態に係る半導体装置を搭載した半導体パッケージの断面図。

【図6】この発明の一実施形態に係る半導体装置の上面図。

【図7】この発明の一実施形態の変形例に係る半導体パッケージの断面図。

【図8】従来の半導体装置の平面図。

【図9】従来の半導体装置の平面図。

【符号の説明】

10…半導体基板
11…素子分離領域
12…ゲート絶縁膜
13…ゲート電極
14…不純物拡散層

*15、16、17…層間絶縁膜

18…入出力パッド

19、23、43…金属配線層

20、55…樹脂

21…金属プラグ

22、42…バンプ

24…トレンチ

25…キャパシタ絶縁膜

26…ストレージノード電極

27…プレート電極

28…開孔

30…DRAMマクロ

31…メモリセルアレイ

32…カラムデコーダ

33…ロウデコーダ

34…プリデコーダ

35…センスアンプ

36…入力回路

37…入出力回路

40、100…半導体チップ

41…インターポーザ

50…リードフレーム

51…ダイパッド

52…インナーリード

53…アウターリード

54…ボンディングワイヤ

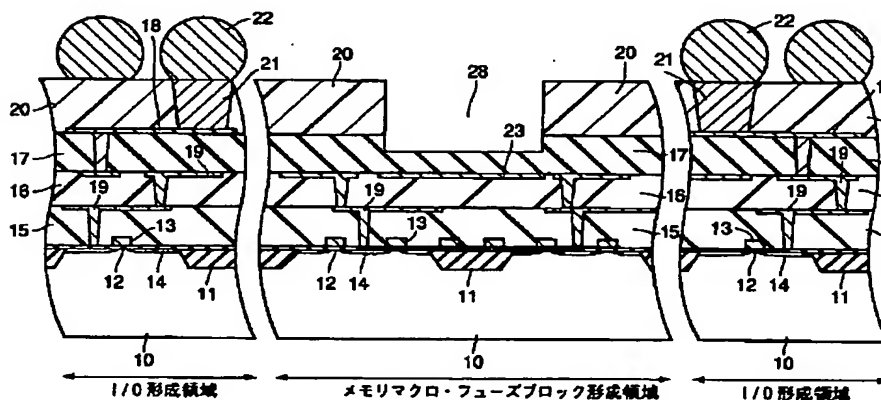
110…メモリブロック

120、140…フューズブロック

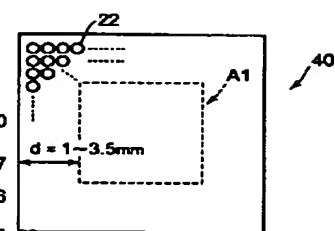
130、150…制御回路

*30 160…シフトレジスタ

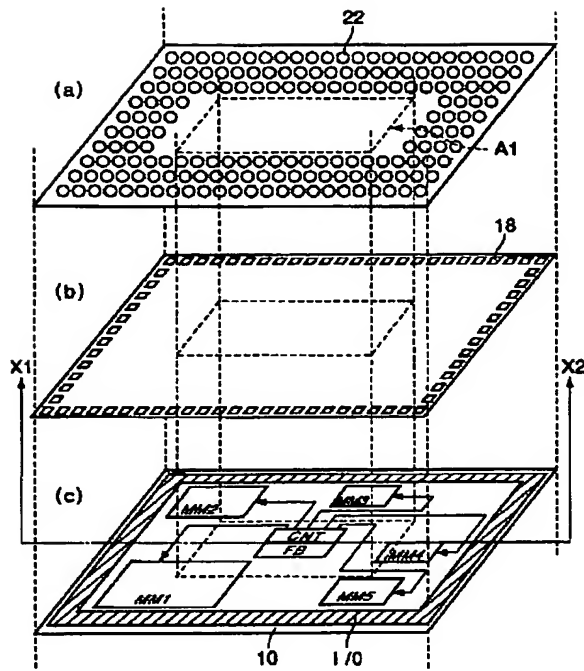
【図2】



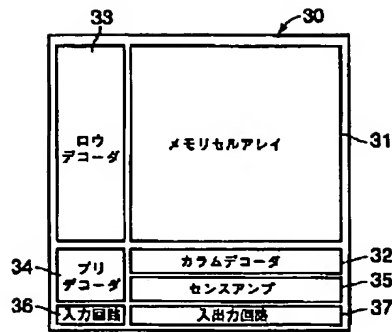
【図6】



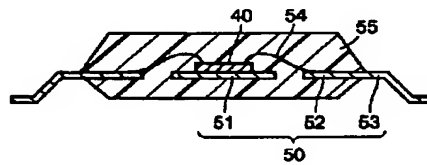
【図1】



【図3】

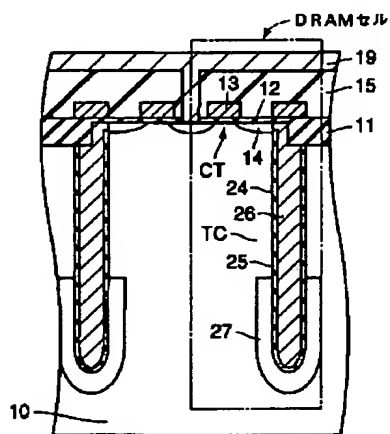


【図7】

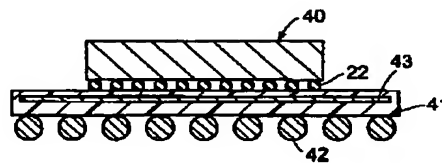


【図9】

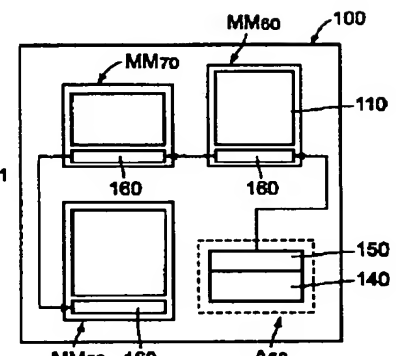
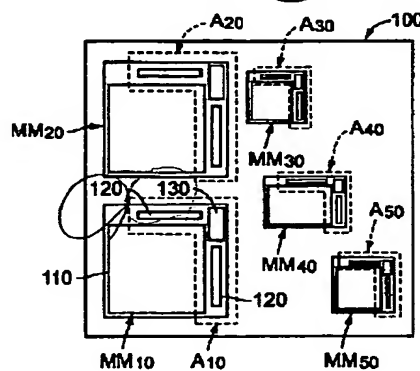
【図4】



【図5】



【図8】



フロントページの続き

Fターム(参考) 5F064 FF02 FF27 FF42
5F083 AD17 NA01 NA08 ZA10
5M024 AA40 AA50 AA91 BB07 BB30
BB34 BB40 CC20 DD40 DD60
HH10 LL11 MM20 PP01 PP05